

09/02/85.133

translation of the Japanese Utility Model Laid-opened
(KOKAI)

No. 62-129654

5 (19) JAPANESE PATENT OFFICE

(11) Utility Model Laid-opened (KOKAI) No. 62-129654

(43) Laid-opened on: August 17, 1987

Title of the Invention: A SERIAL DATA TRANSMISSION CONTROL
DEVICE

10 (21) Application No. 61-016373

(22) Date of filing: February 7, 1986

(71) Assignee: CASIO KEISANKI KABUSHIKI KAISHA

(72) Inventor: Junji Kosugi

(57) What is claimed is:

15 A serial data transmission control device for data
communication between information processing units,
characterized by comprising: CTS synchronous transmission
means for transmitting serial data in synchronization with
a CTS signal indicating the state in which a destination
20 information processing unit can receive serial data; CTS
asynchronous transmission means for transmitting serial
data independently of the generating timing of said CTS
signal; and transmission mode specifying means for
specifying either said CTS signal synchronous transmission
25 means or said CTS signal asynchronous transmission means
depending on the data input method of the destination
information processing unit.

[Brief Description of the Drawings]

Figure 1 is a circuit configuration showing a serial data transmission control device according to one embodiment of the device.

5 Figure 2 shows a connection diagram between data transmission and reception control sections in each information processing unit when data intercommunication is achieved using the serial data transmission control device.

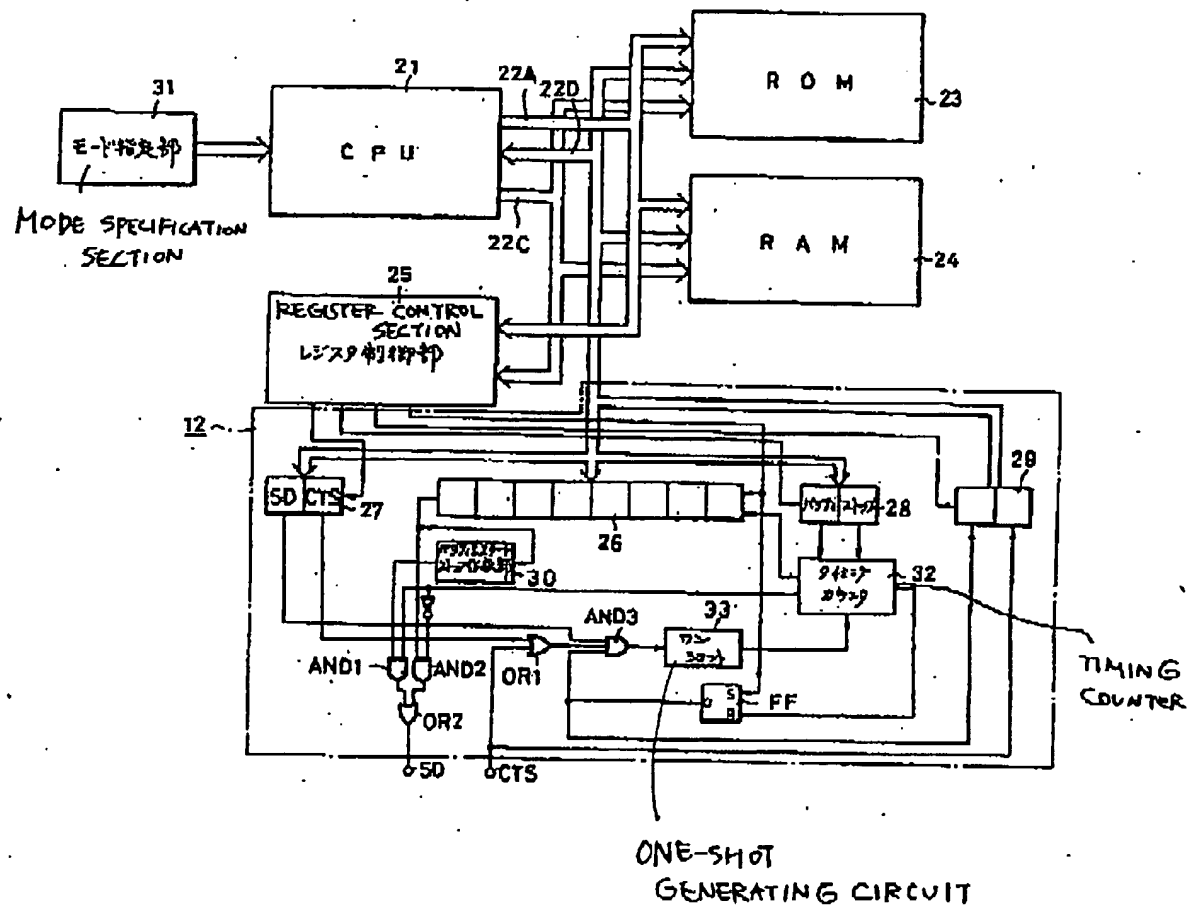
10 [Description of Symbols]

11a, 11b ... information processing unit, 12 ... data transmission section, 13a, 13b ... data transmission and reception control section, 21 ... CPU, 22A ... address bus, 22C ... control bus, 22D ... data bus, 23 ... program ROM,
15 24 ... RAM, 25 ... register control section, 26 ... parallel/serial data register, 27 ... command register (SD-CTS), 28 ... data format specification register, 29 ... status flag register, 30 ... parity & start-stop generating section, 31 ... mode specification section, 32 ... timing
20 counter, 33 ... one-shot generating circuit

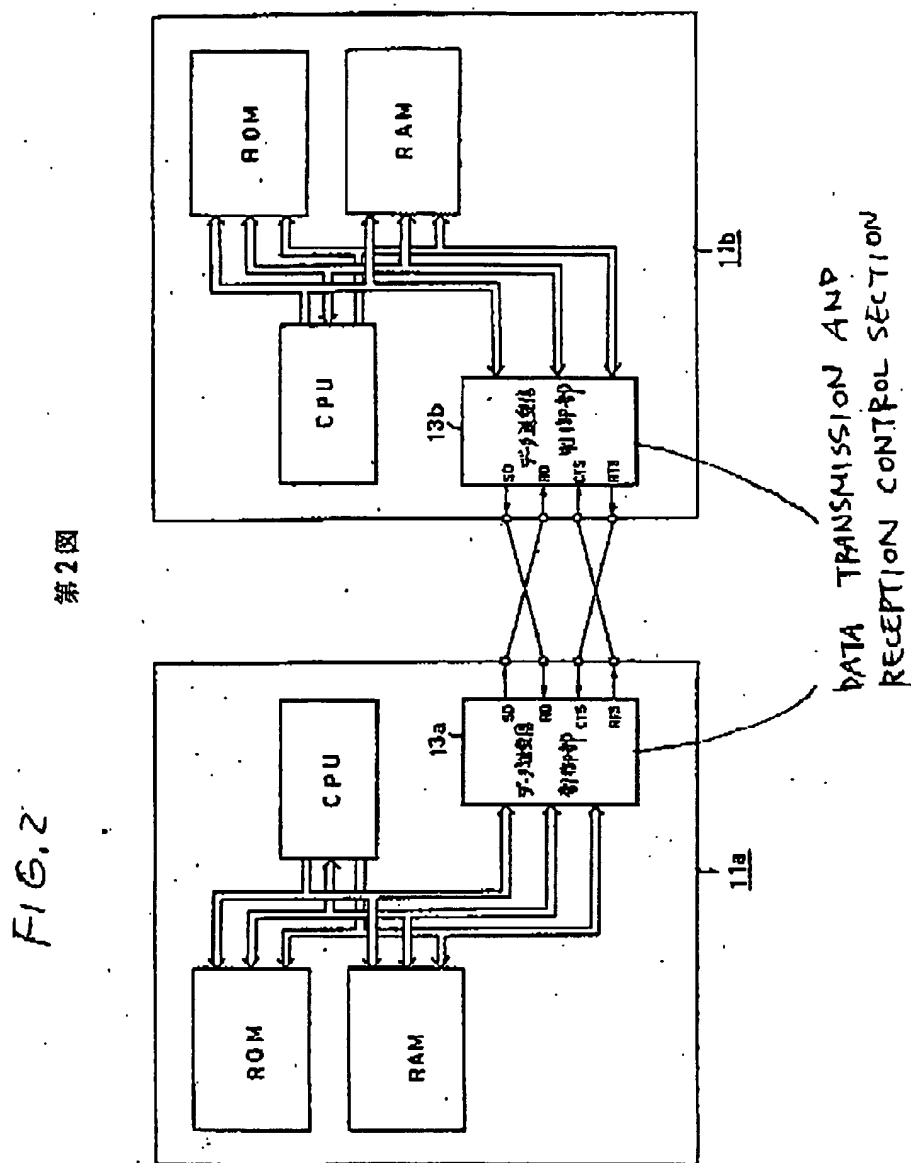
実開 昭 62-129654(2)

FIG. 1

第 1 図



実開 昭62-129654(3)



⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-129654

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月17日

G 06 F 15/16
13/38
H 04 L 13/003 3 0
3 0 1A-2116-5B
R-7165-5B
7240-5K

審査請求 未請求 (全3頁)

⑮ 考案の名称 シリアルデータ送信制御装置

⑯ 実 願 昭61-16373

⑰ 出 願 昭61(1986)2月7日

⑱ 考 案 者 小 杉 純 司 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

⑳ 実用新案登録請求の範囲

情報処理装置相互間のデータ通信におけるシリアルデータ送信制御装置において、相手方情報処理装置の受信可能状態を示すCTS信号に同期してシリアルデータを送信するCTS同期送信手段と、上記CTS信号の発生タイミングとは無関係にシリアルデータを送信するCTS非同期送信手段と、上記CTS同期送信手段とCTS非同期送信手段のうち相手方情報処理装置のデータ入力方式に応じて何れか一方の送信手段を指定する送信モード指定手段とを具備したことを特徴とするシリアルデータ送信制御装置。

図面の簡単な説明

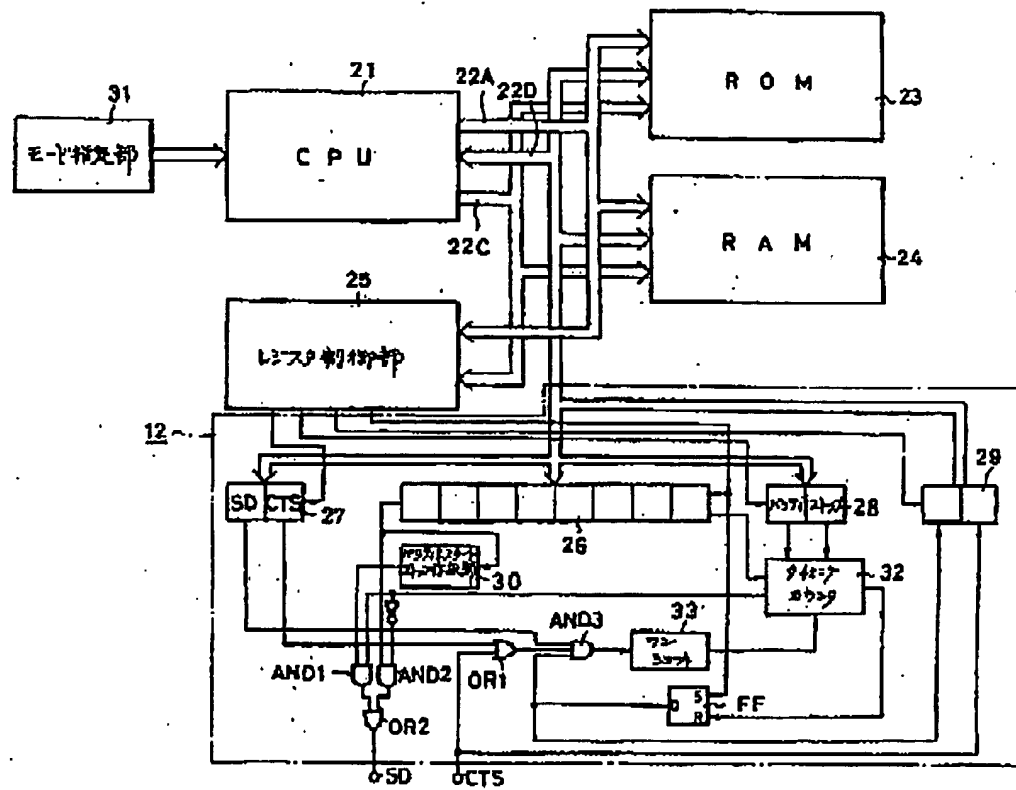
第1図はこの考案の一実施例に係わるシリアルデータ送信制御装置を示す回路構成図、第2図は上記シリアルデータ送信制御装置を用いて相互デ

ータ通信を行なう場合の各情報処理装置間におけるデータ送受信制御部の接続関係を示す図である。

11a, 11b……情報処理装置、12……データ送信部、13a, 13b……データ送受信制御部、21……CPU、22A……アドレスバス、22C……コントロールバス、22D……データバス、23……プログラムROM、24……RAM、25……レジスタ制御部、26……パラレル/シリアルデータレジスタ、27……コマンドレジスタ(SD・CTS)、28……データフォーマット指定レジスタ、29……ステータスフラグレジスタ、30……パリティ&スタート・ストップ作成部、31……モード指定部、32……タイミングカウンタ、33……ワンショット発生回路。

実開 昭 6.2-129654 (2)

第1圖



実開 昭62-129664(3)

第2図

